

VOLTAGE LEVEL SHIFTER AND DISPLAY DEVICE

Patent number: JP2001024502

Publication date: 2001-01-26

Inventor: BROWNLOW MICHAEL JAMES; CAIRNS GRAHAM ANDREW; KUBOTA YASUSHI; WASHIO HAJIME

Applicant: SHARP CORP

Classification:

- **international:** H03K19/0185; G02F1/133; G02F1/1368; G09G3/20; G09G3/36; H04N5/66

- **europen:**

Application number: JP20000138838 20000511

Priority number(s):

Also published as

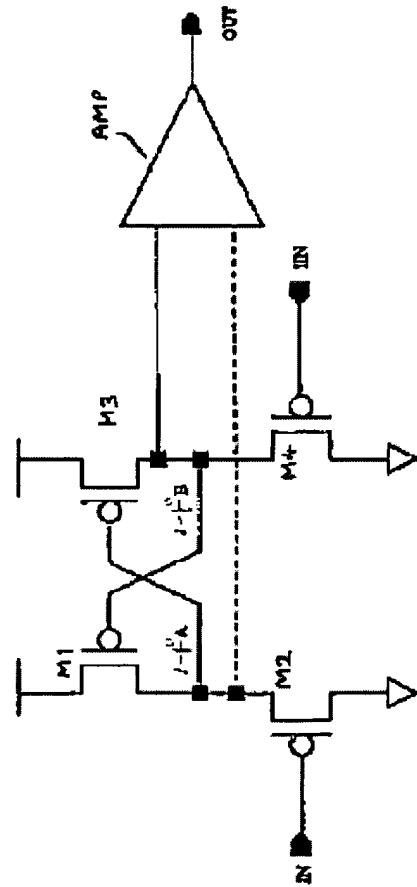
US647663

GB234999

Abstract of JP2001024502

PROBLEM TO BE SOLVED: To obtain a level shifter capable of greatly shifting a signal level and having a wide margin.

SOLUTION: In the voltage level shifter provided with a first conduction 1st to 4th transistors(TRs) M1 to M4, the 1st and 2nd TRs M1, M2 are connected in series between 1st and 2nd power supply inputs, the control electrode of the 2nd TR M2 is connected to a 1st input IN for directly receiving an input signal, the 3rd and 4th TRs M3, M4 are connected in series between the 1st and 2nd power supply inputs, the control electrode of the 4th TR M4 is connected to a 2nd input IN for receiving a complementary input signal, the control electrode of the 1st TR M1 is connected to the output electrode of the 3rd TR M3 and the common electrode of the 4th TR M4, and the control electrode of the 3rd TR M3 is connected to the output electrode of the 1st TR M1 and the common electrode of the 2nd TR M2.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-24502

(P2001-24502A)

(43) 公開日 平成13年1月26日 (2001.1.26)

(51) Int.Cl.⁷

H 03 K 19/0185

G 02 F 1/133

1/1368

G 09 G 3/20

3/36

識別記号

5 2 0

6 2 1

F I

H 03 K 19/00

1 0 1 C

G 02 F 1/133

5 2 0

G 09 G 3/20

6 2 1 L

3/36

H 04 N 5/66

1 0 2 B

審査請求 未請求 請求項の数29 OL (全12頁) 最終頁に続く

(21) 出願番号

特願2000-138838(P2000-138838)

(22) 出願日

平成12年5月11日 (2000.5.11)

(31) 優先権主張番号 9 9 1 0 8 7 9 . 7

(32) 優先日 平成11年5月12日 (1999.5.12)

(33) 優先権主張国 イギリス (GB)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 マイケル ジェームズ ブラウンロー

イギリス国 オーエックス4 4ワイピー

オックスフォード, サンドフォード

オン テムズ, チャーチ ロード 124

(72) 発明者 グラハム アンドリュー カーンズ

イギリス国 オーエックス2 8エヌエイ

チ オックスフォード, カッテスロウ,

ボーン クローズ 22

(74) 代理人 100078282

弁理士 山本 秀策

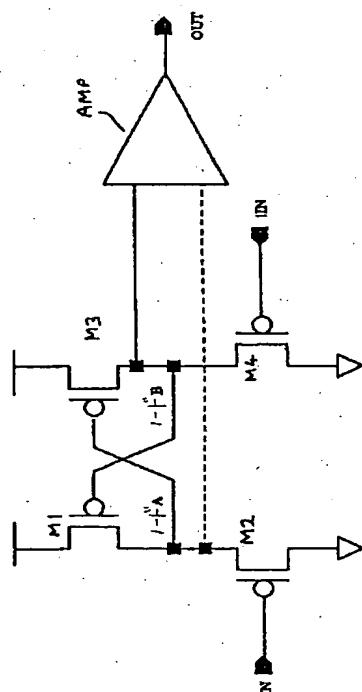
最終頁に続く

(54) 【発明の名称】 電圧レベルシフタおよびディスプレイデバイス

(57) 【要約】

【課題】 信号レベルを大きくシフトさせることができ、かつ、広いプロセスマージンを有するレベルシフタを提供する。

【解決手段】 第1の導電型の第1から第4のトランジスタM1～M4を備えた電圧レベルシフタであって、該第1および第2のトランジスタM1およびM2が第1および第2の電源入力の間に直列に接続され、第2のトランジスタM2の制御電極が直接入力信号を受け取るための第1の入力INに接続され、第3および第4のトランジスタM3およびM4が第1および第2の電源入力の間に直列に接続され、第4のトランジスタM4の制御電極が相補入力信号を受け取るための第2の入力INに接続され、第1のトランジスタM1の制御電極が第3のトランジスタM3の出力電極および第4のトランジスタM4のコモン電極に接続され、第3のトランジスタM3の制御電極が第1のトランジスタM1の出力電極および第2のトランジスタM2のコモン電極に接続された、電圧レベルシフタ。



【特許請求の範囲】

【請求項1】 第1および第2の電圧フォロワを備えた電圧レベルシフタであって、該第1および第2の電圧フォロワが、それぞれ、該第2および第1の電圧フォロワからバイアス電圧を受け取るように構成された、電圧レベルシフタ。

【請求項2】 第1の導電型の第1から第4のトランジスタを備えた電圧レベルシフタであって、該第1および第2のトランジスタが第1および第2の電源入力の間に直列に接続され、該第2のトランジスタの制御電極が直接入力信号を受け取るための第1の入力に接続され、該第3および第4のトランジスタが該第1および第2の電源入力の間に直列に接続され、該第4のトランジスタの制御電極が相補入力信号を受け取るための第2の入力に接続され、該第1のトランジスタの該制御電極が該第3のトランジスタの出力電極および該第4のトランジスタのコモン電極に接続され、該第3のトランジスタの該制御電極が該第1のトランジスタの出力電極および該第2のトランジスタのコモン電極に接続された、電圧レベルシフタ。

【請求項3】 前記第2および第4のトランジスタのうちの少なくとも1つのソースが出力回路に接続された、請求項2に記載のシフタ。

【請求項4】 前記出力回路がインバータを備えた、請求項3に記載のシフタ。

【請求項5】 前記インバータが前記第1の導電型の第5のトランジスタおよび該第1の導電型と異なる第2の導電型の第6のトランジスタを備え、該第5および第6のトランジスタが該第1および第2の電源入力の間に直列に接続され、該第5および第6のトランジスタの制御電極が前記第2および第4のトランジスタのうちの1つのソースに接続された、請求項4に記載のシフタ。

【請求項6】 前記第2の導電型の第7および第8のトランジスタがそれぞれ前記第2および第4のトランジスタと並列に接続され、該第7および第8のトランジスタの制御電極がそれぞれ前記第2および第1の入力と接続された、請求項5に記載のシフタ。

【請求項7】 前記出力回路が差動増幅器を備え、該差動増幅器の差動入力が前記第2および第4のトランジスタのソースに接続された、請求項3に記載のシフタ。

【請求項8】 前記差動増幅器が前記第1の導電型の第9および第10のトランジスタを備え、該第9および第10のトランジスタの制御電極がそれぞれ前記第2および第4のトランジスタのソースと接続され、該第9および第10のトランジスタのドレインが電流ミラーに接続された、請求項7に記載のシフタ。

【請求項9】 前記差動増幅器の出力がインバータに接続された、請求項7に記載のシフタ。

【請求項10】 前記インバータの入力が第1のプルアップまたはプルダウントランジスタに接続され、該プル

アップまたはプルダウントランジスタの制御電極がゲーティング入力に接続された、請求項9に記載のシフタ。

【請求項11】 前記差動増幅器入力の1つが第2のプルアップまたはプルダウントランジスタに接続され、該第2のプルアップまたはプルダウントランジスタの制御電極がゲーティング入力に接続された、請求項7に記載のシフタ。

【請求項12】 前記第1および第2の電源入力の1つが、第11のトランジスタを介して前記第1から第4のトランジスタおよび前記差動増幅器に接続され、該第11のトランジスタの制御電極がゲーティング入力に接続された、請求項7に記載のシフタ。

【請求項13】 前記第1および第2の入力が、それぞれ、第12および第13のトランジスタを介して前記第2および第4のトランジスタの制御電極に接続され、該第12および第13のトランジスタの制御電極がゲーティング入力に接続された、請求項2に記載のシフタ。

【請求項14】 前記各トランジスタが電界効果トランジスタであり、該電界効果トランジスタのコモン、制御および出力電極が、それぞれ、ソース、ゲートおよびドレイン電極である、請求項2に記載のシフタ。

【請求項15】 前記各トランジスタが薄膜トランジスタである、請求項14に記載のシフタ。

【請求項16】 前記第1の導電型がP型である、請求項14に記載のシフタ。

【請求項17】 CMOS集積回路の少なくとも一部を備えた、請求項14に記載のシフタ。

【請求項18】 ディスプレイデバイスに接続された請求項2に記載のシフタ。

【請求項19】 前記ディスプレイデバイスがフラットパネルマトリクスディスプレイ、特にLCDデバイスである請求項18に記載のシフタ。

【請求項20】 前記LCDデバイスがAMLCDである、請求項19に記載のシフタ。

【請求項21】 第1の導電型の第1から第4のトランジスタを有する入力段であって、該第1および第2のトランジスタが第1のソースフォロワを形成し、該第1および第2のトランジスタが第1および第2の電源入力の間に直列に接続され、該第2のトランジスタの制御電極が直接入力信号を受け取るために第1の入力に接続され、該第3および第4のトランジスタが第2のソースフォロワを形成し、該第3および第4のトランジスタが該第1および第2の電源入力の間に直列に接続され、該第4のトランジスタの制御電極が相補入力信号を受け取るために第2の入力に接続され、該第1のトランジスタの制御電極が該第3のトランジスタの出力電極および該第4のトランジスタのコモン電極に接続され、該第3のトランジスタの制御電極が該第1のトランジスタの出力電極および該第2のトランジスタのコモン電極に接続された入力段と、該第2および第4のトランジスタのうちの

少なくとも1つのソースが接続された出力段と、を備えたレベルシフティング回路。

【請求項22】 前記出力段が増幅器である、請求項21に記載のレベルシフティング回路。

【請求項23】 前記増幅器がCMOSインバータである、請求項22に記載のレベルシフティング回路。

【請求項24】 前記第1から第4のトランジスタがP型トランジスタである、請求項21に記載のレベルシフティング回路。

【請求項25】 ディスプレイのピクセルに対応する素子を有するマトリクスと、該マトリクスを駆動するためには該マトリクスに接続された少なくとも1つのドライバと、入力端子を介して外部入力信号を受け取るための入力デバイスであって、レベルシフトした信号を出力するためには該少なくとも1つのドライバに接続された入力デバイスとを備えたディスプレイデバイスであって、該入力デバイスは請求項2に記載の電圧レベルシフタを備え、前記第1から第4のトランジスタがP型トランジスタである、ディスプレイデバイス。

【請求項26】 前記入力端子が前記第2および第4のトランジスタの制御電極に直接接続された、請求項25に記載のディスプレイデバイス。

【請求項27】 前記マトリクスがAMLCDのマトリクスである、請求項25に記載のディスプレイデバイス。

【請求項28】 前記少なくとも1つのドライバがゲートドライバおよび/またはソースドライバである、請求項25に記載のディスプレイデバイス。

【請求項29】 スイッチング素子として薄膜トランジスタを有する、ポリシリコン中に前記ドライバを実現した、請求項25に記載のディスプレイデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧レベルシフタに関する。このような電圧レベルシフタは、例えば、より小さな振幅の信号とインターフェースするための大面積シリコンオンインシュレータ(SOI)回路において使用され得る。このような用途の一例は、3.3ボルト～5ボルトの信号レベルと10ボルト～20ボルトの信号とのインターフェースがしばしば必要とされる、低溫ポリシリコン薄膜トランジスタ(TFT)を用いて製造される液晶ディスプレイなどのフラットパネルマトリクスディスプレイ用のモノリシックドライバ回路である。

【0002】

【従来の技術】添付の図面の図1に、既知の型のCMOSインバータを示す。このインバータは、例えば、A. Bellaouar, M. Elmasryの"Low Power Digital VLSI Design" Kluwer Academic Publishers, 1995に開示されているように、限定された

範囲での電圧レベルシフトを行うのに用いられ得る。このインバータは、電力供給ラインVddとグラウンドgndとの間に直列に接続されたP型トランジスタT1およびN型トランジスタT2を備えている。トランジスタT1およびT2のドレインは、反転された信号を提供するための出力OUTに接続され、トランジスタT1およびT2のゲートはともに入力INに接続されている。

【0003】

【発明が解決しようとする課題】TFT回路を実現するためのこのよう構成の問題点は、入力電圧レベルがスイッチングポイントより大きくなければならないということである。この条件は、トランジスタ特性に大きなばらつきがあるローパフォーマンストランジスタで満たすのは困難である。例えば、アクティブマトリクス液晶ディスプレイ(AMLCD)インターフェース回路に使用される従来の大規模集積回路で生成される典型的な信号レベルは、2.7ボルト～5.5ボルトの範囲である。このようなインバータのスイッチングポイントは、望まれる雑音マージンに応じて、1.35ボルト～2.5ボルトの範囲になる。

【0004】添付の図面の図2に、図1に示した型のCMOSインバータの典型的なスイッチング特性を、トランジスタ特性と供給電圧Vddとの関数として示す。このインバータのスイッチングポイントVthは、Vin=Voutとの交点における入力電圧として定められ、

【0005】

【数1】

$$V_{th} = \frac{V_{in} + \sqrt{\frac{\beta_p}{\beta_n} (V_{dd} - |V_{tp}|)}}{1 + \sqrt{\frac{\beta_p}{\beta_n}}}$$

で表される。ただし、 β_p と β_n とは相互コンダクタンスであり、 V_{tp} および V_{tn} は、それぞれP型トランジスタT1およびN型トランジスタT2の閾値電圧である。

【0006】所与の入力電圧によってインバータがスイッチングする、トランジスタパラメータの範囲によって、「プロセスマージン」が決まる。上記の式に示されているように、低入力電圧動作を得るために、低い閾値電圧およびN型トランジスタT2の高い移動度を確保する必要がある。そして、インバータのスイッチングポイントは、供給電圧Vddとともに増大する。このようなインバータを用いたレベルシフタのパフォーマンスを向上させる目的で、いくつかのインバータを直列に接続し、それらのインバータに異なる供給電圧を印加する技術が、公知である。しかし、この型のレベルシフタは、トランジスタパフォーマンスがはっきりと決まっておらず、かつ、大幅な信号レベルのシフトが必要な用途には、適切でない。

【0007】添付の図面の図3に、他の公知の型のレベルシフタを示す。このレベルシフタは、例えば、メモリ回路のセンス増幅器で使用される差動技術に基づいている。このようなCMOSセンス増幅器もBell a ou rら(上記参照)によって開示されていて、P型トランジスタT3およびT4、ならびにN型トランジスタT5、T6およびT7を備えている。トランジスタT5およびT6は、差動対を形成し、トランジスタT7はテール電流ソース(定電流源)として機能し、そのゲートは、バイアス電圧を受け取るために端子Vbに接続されている。トランジスタT3およびT4は、それぞれトランジスタT5およびT6のドレインと、供給ラインVddとの間に接続される。トランジスタT3のゲートは、トランジスタT4およびT6のドレイン、ならびに出力端子OUTに接続されており、トランジスタT4のゲートは、トランジスタT3およびT5のドレインと、反転出力信号を供給する出力端子!OUTとに接続されている。トランジスタT5およびT6のゲートは、相補的な入力信号を受け取る相補入力INおよび!INに接続されている。

【0008】トランジスタが完全にマッチングし、かつ、入力INおよび!INに同一の差動入力電圧が供給されると仮定すると、バイアス電圧によって設定されるテール電流は、トランジスタT5およびT6、ならびにトランジスタT3およびT4を同量だけ流れる。この状態は、準安定状態であり、差動入力電圧が少しでも振動するとこれに応答して変化する。例えば、入力INの電圧が入力!INの電圧より少しでも大きければ、トランジスタT5は、トランジスタT6よりもよりオンになる。この影響によって、出力!OUTの電圧が下がる。トランジスタT4は、よりオンになり、出力OUTの電圧を増加させる。トランジスタT3は、さらにオフになり、出力!OUTの電圧を下げ、出力OUTの電圧を増加させる。これにより、入力電圧のわずかな不均衡は、出力端子!OUTおよびOUTで検知され、増幅される。

【0009】この型の回路のレベルシフタとしての制限の1つは、入力に供給される論理ハイ入力レベルが、N型トランジスタの閾値電圧よりも、かなり高い必要があるということである。しかし、AMLCD用のモノリック集積回路ドライバとして実施される場合、N型トランジスタの閾値電圧は、4.5ボルトという高い値になり得る。

【0010】より低い入力電圧で、より効率的に動作させるために、各トランジスタの導電型を逆にして、添付の図面の図4に示すような構成としてもよい。つまり、トランジスタT3およびT4を、N型トランジスタとし、トランジスタT5、T6およびT7を、P型トランジスタとする。しかし、この構成の問題点は、高い供給電圧Vddおよび低い入力電圧が使用される場合、トランジ

ジスタT5およびT6が線形動作することである。入力トランジスタが飽和動作する場合の方が、差動増幅器の効率はずっと高くなる。この条件では、所与の差動入力電圧に対する電流の差が最大であり、そのことにより、所与のテール電流に対するゲインがより高くなる。

【0011】添付の図面の図5に、ソースフォロワ型の、他の公知のレベルシフタを示す。P型トランジスタT8およびT9は、供給ラインVddとグラウンドgndとの間で、直列に接続されている。トランジスタT8のドレインは、トランジスタT9および出力OUTに接続されている。トランジスタT8のゲートは、バイアス電圧Vbを受け取るように接続され、トランジスタT9のゲートは、入力端子INに接続されている。トランジスタT8およびT9が飽和状態の場合、トランジスタT8およびT9がマッチングしているとすると、出力信号が(VDD-Vb)だけ正にシフトされる。高いN型デバイス閾値電圧の問題を解決するため、またはP型デバイスの飽和状態を維持するために、このようなレベルシフタを2つ用いて、図3または図4に示す型の差動増幅器を駆動することが可能である。しかし、このような構成では、直流バスの数が多くなり、問題が生じる。

【0012】

【課題を解決するための手段】上記課題を解決するためには、本発明の電圧レベルシフタは、第1および第2の電圧フォロワを備えた電圧レベルシフタであって、該第1および第2の電圧フォロワが、それぞれ、該第2および第1の電圧フォロワからバイアス電圧を受け取るように構成されている。

【0013】また、本発明の他の電圧レベルシフタは、第1の導電型の第1から第4のトランジスタを備えた電圧レベルシフタであって、該第1および第2のトランジスタが第1および第2の電源入力の間に直列に接続され、該第2のトランジスタの制御電極が直接入力信号を受け取るための第1の入力に接続され、該第3および第4のトランジスタが該第1および第2の電源入力の間に直列に接続され、該第4のトランジスタの制御電極が相補入力信号を受け取るための第2の入力に接続され、該第1のトランジスタの該制御電極が該第3のトランジスタの出力電極および該第4のトランジスタのコモン電極に接続され、該第3のトランジスタの該制御電極が該第1のトランジスタの出力電極および該第2のトランジスタのコモン電極に接続されている。

【0014】前記第2および第4のトランジスタのうちの少なくとも1つのソースが出力回路に接続されてもよい。

【0015】前記出力回路がインバータを備えてもよい。

【0016】前記インバータが前記第1の導電型の第5のトランジスタおよび該第1の導電型と異なる第2の導電型の第6のトランジスタを備え、該第5および第6の

トランジスタが該第1および第2の電源入力の間に直列に接続され、該第5および第6のトランジスタの制御電極が前記第2および第4のトランジスタのうちの1つのソースに接続されてもよい。

【0017】前記第2の導電型の第7および第8のトランジスタがそれぞれ前記第2および第4のトランジスタと並列に接続され、該第7および第8のトランジスタの制御電極がそれぞれ前記第2および第1の入力と接続されてもよい。

【0018】前記出力回路が差動増幅器を備え、該差動増幅器の差動入力が前記第2および第4のトランジスタのソースに接続されてもよい。

【0019】前記差動増幅器が前記第1の導電型の第9および第10のトランジスタを備え、該第9および第10のトランジスタの制御電極がそれぞれ前記第2および第4のトランジスタのソースと接続され、該第9および第10のトランジスタのドレインが電流ミラーに接続されてもよい。

【0020】前記差動増幅器の出力がインバータに接続されてもよい。

【0021】前記インバータの入力が第1のプルアップまたはプルダウントランジスタに接続され、該プルアップまたはプルダウントランジスタの制御電極がゲーティング入力に接続されてもよい。

【0022】前記差動増幅器入力の1つが第2のプルアップまたはプルダウントランジスタに接続され、該第2のプルアップまたはプルダウントランジスタの制御電極がゲーティング入力に接続されてもよい。

【0023】前記第1および第2の電源入力の1つが、第11のトランジスタを介して前記第1から第4のトランジスタおよび前記差動増幅器に接続され、該第11のトランジスタの制御電極がゲーティング入力に接続されてもよい。

【0024】前記第1および第2の入力が、それぞれ、第12および第13のトランジスタを介して前記第2および第4のトランジスタの制御電極に接続され、該第12および第13のトランジスタの制御電極がゲーティング入力に接続されてもよい。

【0025】前記各トランジスタが電界効果トランジスタであり、該電界効果トランジスタのコモン、制御および出力電極が、それぞれ、ソース、ゲートおよびドレン電極であってもよい。

【0026】前記各トランジスタが薄膜トランジスタであってもよい。

【0027】前記第1の導電型がP型であってもよい。

【0028】本発明のシフタが、CMOS集積回路の少なくとも一部を備えてよい。

【0029】本発明のシフタが、ディスプレイデバイスに接続されてもよい。

【0030】前記ディスプレイデバイスがフラットパネ

ルマトリクスディスプレイ、特にLCDデバイスであってもよい。

【0031】前記LCDデバイスがAMLCDであってもよい。

【0032】また、本発明のレベルシフティング回路は、第1の導電型の第1から第4のトランジスタを有する入力段であって、該第1および第2のトランジスタが第1のソースフォロワを形成し、該第1および第2のトランジスタが第1および第2の電源入力の間に直列に接続され、該第2のトランジスタの制御電極が直接入力信号を受け取るために第1の入力に接続され、該第3および第4のトランジスタが第2のソースフォロワを形成し、該第3および第4のトランジスタが該第1および第2の電源入力の間に直列に接続され、該第4のトランジスタの制御電極が相補入力信号を受け取るために第2の入力に接続され、該第1のトランジスタの制御電極が該第3のトランジスタの出力電極および該第4のトランジスタのコモン電極に接続され、該第3のトランジスタの制御電極が該第1のトランジスタの出力電極および該第2のトランジスタのコモン電極に接続された入力段と、該第2および第4のトランジスタのうちの少なくとも1つのソースが接続された出力段と、を備えている。

【0033】前記出力段が増幅器であってもよい。

【0034】前記増幅器がCMOSインバータであってもよい。

【0035】前記第1から第4のトランジスタがP型トランジスタであってもよい。

【0036】また、本発明のディスプレイデバイスは、ディスプレイのピクセルに対応する素子を有するマトリクスと、該マトリクスを駆動するために該マトリクスに接続された少なくとも1つのドライバと、入力端子を介して外部入力信号を受け取るために入力デバイスであって、レベルシフトした信号を出力するために該少なくとも1つのドライバに接続された入力デバイスとを備えたディスプレイデバイスであって、該入力デバイスは本発明の電圧レベルシフタを備え、前記第1から第4のトランジスタがP型トランジスタである、ディスプレイデバイスである。

【0037】前記入力端子が前記第2および第4のトランジスタの制御電極に直接接続されてもよい。

【0038】前記マトリクスがAMLCDのマトリクスであってもよい。

【0039】前記少なくとも1つのドライバがゲートドライバおよび/またはソースドライバであってもよい。

【0040】スイッチング素子として薄膜トランジスタを有する、ポリシリコン中に前記ドライバを実現してもよい。

【0041】これにより、信号レベルを大きくシフトさせることができ、かつ、広いプロセスマージンを有するレベルシフタを提供できる。入力に必要なのは、1つの

導電型のトランジスタのみなので、N型トランジスタとP型トランジスタとのマッチングを考慮に入れる必要がない。さらにこのような構成において、クロスカッピングによって、零入力電流の大部分が1つの電圧フォロワにのみ流れようになるので、電力消費量が制御される。

【0042】

【発明の実施の形態】添付の図面を参照しながら、実施例により本発明をさらに説明する。

【0043】全図面を通して、同一の参照符号は、同一の部材を示す。

【0044】図6に示されるレベルシフタは、相補的な入力論理信号によって駆動されるソースフォロワが互いにクロスカッピングされた入力段を備えている。一方のソースフォロワへのバイアス電圧は、他方のソースフォロワによって供給される。レベルシフタは、シングルエンドの入力型または差動入力型であり得る増幅器AMPの形式の出力段をさらに備えている。増幅器AMPは、レベルシフタの出力において、最大限の論理振幅が得られることを確実にする。

【0045】入力段は、P型トランジスタM1からM4を備えている。トランジスタM1およびM2は、入力INおよび出力ノードAとともに第1のソースフォロワを形成する。トランジスタM3およびM4は、相補入力!INおよび出力ノードBとともに第2のソースフォロワを形成する。

【0046】第1のソースフォロワへのバイアス電圧は、ノードBからトランジスタM1のゲートに供給され、第2のソースフォロワへのバイアス電圧は、ノードAからトランジスタM3のゲートに供給される。従って、バイアス電圧は、相補的な入力信号をレベルシフトした信号から得られる。

【0047】入力INに供給される入力信号がハイ論理レベルであり、入力!INの相補入力信号がロー論理レベルである場合、トランジスタM2を流れる電流は、トランジスタM4を流れる電流と比較すると、少なくなっている。ノードAの電圧は、ソースフォロワM1およびM2のレベルシフト動作によって上昇し、このことにより、トランジスタM3のゲートおよびソースの間に供給されるバイアス電圧が下がる。トランジスタM4がトランジスタM3よりもよりオンになるので、ノードBの電圧は、ローレベルの入力電圧をレベルシフトした後の電圧値に向かって変化する。クロスカッピングによって、ノードAおよびBの電圧振幅が、入力電圧の振幅よりも大幅になる。実際には、ノードAおよびBの正常なスイッチングを確実にするため、そして零入力電流消費を低減するために、トランジスタM1およびM3の駆動能力は、トランジスタM2およびM4の駆動能力よりもずっと低い。

【0048】図7に示すレベルシフタは、図6で示した

入力段を備えているが、増幅器AMPはCMOSインバータとしている。詳細には、このインバータは、供給ラインvddとグラウンドgndとの間に直列に接続されたP型トランジスタM5およびN型トランジスタM6を備えている。トランジスタM5およびM6のドレインは、出力端子OUTに接続されており、トランジスタM5およびM6のゲートは、トランジスタM3のドレインおよびトランジスタM4のソースに接続されている。

【0049】レベルシフタのロバスト性を上げるために、N型トランジスタM7およびM8を、図8に示すように、トランジスタM2およびM4に並列に接続してもよい。トランジスタM2およびM8のゲートは、第1の直接入力INに接続されており、トランジスタM4およびM7のゲートは、第2の相補入力!INに接続されている。トランジスタM7およびM8は、インバータのスイッチングポイントが（例えば、ハイパフォーマンスN型デバイスおよびローパフォーマンスP型デバイスに起因して）非常に低い場合でも、インバータへの入力が、インバータ出力をハイ状態にスイッチングするのに十分に低いレベルに達することを確実にする。N型デバイスのパフォーマンスがそれほど高くはない場合、インバータのスイッチングポイントはより高くなり、これにより、ノードAおよびノードBのレベルシフトされた信号は、インバータが正常にスイッチングすることを確実にするのに十分な電圧振幅を有する。

【0050】図9は、差動入力がノードAおよびBに接続されている差動増幅器を備えている出力段を有するレベルシフタを示す。差動増幅器は、N型トランジスタC1およびC2によって形成される電流ミラーに、そのドレインが接続されているP型トランジスタM9およびM10を備えている。

【0051】トランジスタM9は、トランジスタM1を流れる電流をトラックし、トランジスタM10は、トランジスタM3を流れる電流をトラックする。トランジスタM9を流れる電流は、電流ミラーによってミラーされる。このことより、トランジスタM10およびC2を通じて流れる電流は、差動入力電圧をトラックし、トランジスタパラメータの変動に対し非常に広い許容範囲を持つ相補トランジスタI1およびI2によって形成されるCMOSインバータを駆動するのに十分な大きさの、シングルエンドの出力電圧を発生させる。

【0052】一部の用途では、レベルシフトの機能は断続的にしか必要でないので、イナクティブ期間中にレベルシフタをオフにすることで、レベルシフタの電力消費を制御することが可能である。そして、入力信号から見た負荷を下げるように入力信号をゲーティングすることが、しばしば望ましい。このことを達成するために図9で示した型のレベルシフタにゲーティング構成を設けたものを、図10に示す。

【0053】ゲーティングは、ゲーティング入力Gに供

給されるゲーティング信号によって、制御される。ゲーティング信号がハイの場合、レベルシフタはアクティブとなり、出力において相補入力信号をレベルシフトした信号を発生させる。ゲーティング信号がローの場合、レベルシフタはイナクティブとなり、その出力はデフォルトのロー論理レベルになる。

【0054】入力INおよび!INは、それぞれ、N型トランジスタM12およびM13を介して、トランジスタM2およびM4のゲートに接続されている。トランジスタM12およびM13のゲートは、ゲーティング入力Gに接続され、レベルシフタがイナクティブであるときに、トランジスタM2およびM4のゲートキャパシタンスを、入力に接続された信号ラインから絶縁する。

【0055】N型トランジスタM11は、グラウンドgndと、トランジスタM2およびM4のドレインおよびトランジスタC1およびC2のソースへの供給ラインとの間に接続されている。トランジスタM11のゲートは、ゲーティング入力Gに接続されている。従って、ゲーティング信号がハイの場合、トランジスタM11はオンになり、クロスカップリングされたソースフォロワおよび差動増幅器をグラウンドに接続して、これらに電力を供給する。ゲーティング信号がローの場合、トランジスタM11はオフになり、このことにより、ソースフォロワおよび差動増幅器を電源から切断する。

【0056】インバータトランジスタI1およびI2のゲートは、そのゲートがゲーティング入力Gに接続されているP型トランジスタG1を介して、供給ラインvddに接続されている。ゲーティング信号がハイの場合、トランジスタG1はオフになり、レベルシフタの動作に何の影響も及ぼさない。ゲーティング信号がローの場合、トランジスタG1はオンになり、インバータの入力を、ハイ論理レベルと等価である供給ラインvddに接続する。このことにより、レベルシフタがイナクティブである場合、インバータの出力はデフォルトのロー論理レベルになる。

【0057】P型トランジスタG2は、ノードBと供給ラインvddとの間に接続され、P型トランジスタG2のゲートはゲーティング入力Gに接続されている。ゲーティング信号がハイの場合、トランジスタG2はオフになり、レベルシフタの動作に何の影響も及ぼさない。ゲーティング信号がローの場合、トランジスタG2はオンになり、ノードBを供給ラインvddの電圧に維持し、これにより、スタートアップ中、ゲーティング信号をアクティブにするときに起こる過渡的状態の間、好ましい状態となることを確実にする。

【0058】図11は、図10に示したレベルシフタのシミュレーションの結果を示す。シミュレーションのために、供給電圧Vddは1.5ボルトにし、入力INおよび!INでの入力信号の振幅は4.5ボルトにした。(a)に示す波形は、ゲーティング入力Gに供給さ

れるゲーティング信号を表す。(b)に示す波形は、入力INおよび!INに供給される相補的な入力信号を表す。(c)に示す波形は、ノードAおよびBに現れるソースフォロワの出力を表す。(d)に示す波形は、トランジスタM10およびC2のドレインに発生する第2段または差動増幅器段の出力と、レベルシフタの出力を構成するインバータI1およびI2の出力を表す。

【0059】初期的にはゲーティング信号がローレベルであり、トランジスタM11はオフになるので、ソースフォロワおよび差動増幅器に電流が流れないので、トランジスタG1およびG2はオンになるので、ソースフォロワのノードAおよびB、ならびに第2の段の出力は、供給ラインvddの電圧Vddである。インバータの出力は、デフォルトのロー論理レベルになる。

【0060】ゲーティング信号がハイレベルにスイッチングすると、トランジスタM11、M12およびM13はオンになり、相補入力信号をレベルシフトした信号が、ノードAとBとの間に発生する。これらのノードの電圧レベルは、ロー論理レベルではおよそ3ボルトであり、ハイ論理レベルでは10ボルトであり、4.5ボルトの入力信号振幅に対しておよそ7ボルトの論理振幅を与える。差動増幅器は、ハイ論理レベルではおよそ14ボルトの、ロー論理レベルでは1ボルトの出力レベルを発生させる。これは、インバータI1およびI2を駆動して、0~15ボルトの間の最大限の論理出力振幅を生成するのに十分な出力レベルである。

【0061】ゲーティング信号がローレベルに戻ると、レベルシフタは、零入力電流がなく、出力がロー論理レベルのデフォルト状態に戻る。

【0062】これらのことにより、グラウンドを基準にして比較的低い電圧入力信号において大幅な電圧シフトを提供できる信号レベルシフタを、提供することが可能になる。このレベルシフタは、トランジスタ特性の変動に対する許容範囲が高く、そのことにより、大きいプロセスマージンを提供する。このようなレベルシフタは、ローパフォーマンス薄膜トランジスタを用いて実施されてもよく、例えば、大規模集積回路によって提供される従来の信号電圧レベルと、アクティブマトリクスディスプレイ用のモノリシックドライバのような高い電圧レベルで動作する回路との間のインターフェイスを提供するために、使用されてもよい。

【0063】図12は、LCDドライバエレクトロニクスにインターフェイスする電圧レベルシフタを有するAMLCDの実施例を示す図である。このAMLCDはモノリシックポリシリコン TFT ドライバを有し、上記に説明したような本発明による複数のレベルシフタとの低電圧インターフェイスを有する。

【0064】AMLCD制御エレクトロニクスの消費電力を下げるために、低い電圧を有する制御信号が用いられる。例えば2~3ボルトのオーダーの信号がディスプ

レイデバイスの入力に印加され得る。しかし、例えばドライバに用いられるようなポリシリコンTFTは、一般的な特徴として、従来の単結晶シリコンMOSトランジスタよりもずっと高い閾値電圧を示す。この高い閾値電圧により、ポリシリコン回路部を低い電圧入力で駆動する場合に問題が生じる。従って、高い閾値電圧に対しロバスト性をもつなんらかの形式のレベルシフティングおよび増幅が、インターフェース回路によって行われなければならない。

【0065】図示した実施例のLCDドライバエレクトロニクスは電圧レベルシフタ回路によってインターフェイスされるゲートおよびソースドライバ回路を有し、電圧レベルシフタ回路はモノリシックLCDドライバを制御するための複数の電圧レベルシフタを有する。本発明によるインターフェース回路は、低い電圧入力信号で動作することができ、そこにはP型TFT入力トランジスタが提供されている。それぞれのゲート電極は、外部のLSI低電圧入力に直接接続されている。この方法により、負の閾値電圧を有するP型TFTが低い電圧入力で常にオンになることを確実にする。

【0066】図12に示すように、インターフェース回路のトランジスタのゲートは、低電圧差動論理入力に接続されている。図に示したインターフェース回路は、上記に説明したように、ゲーティング構成を有する実施形態を含むあらゆる電圧レベルシフタでよいことを述べておく。この場合、上記の実施例に示したように、さらなるゲーティング入力Gが提供され得る。このように、図12に示すTFTトランジスタは例示にすぎず、この図示した実施形態に本発明が限定されるわけではない。

【0067】以上に述べたように、本発明の電圧レベルシフタは、クロスカッピングされたソースフォロワ型の入力段および差動増幅器AMPの形式の出力段を備えており、シングルエンドまたは差動入力を持ち得る。ソースフォロワは、トランジスタM1およびM2、ならびにトランジスタM3およびM4を備えている。差動入力INおよび!INは、トランジスタM2およびM4のゲートに接続されている。バイアス電圧は、トランジスタM3のドレインおよびトランジスタM4のソースが接続されているノードBからトランジスタM1のゲートに供給される。同様に、バイアス電圧は、トランジスタM1のドレインおよびトランジスタM2のソースが接続されているノードAからトランジスタM3のゲートに供給さ

れる。

【0068】

【発明の効果】本発明によれば、信号レベルを大きくシフトさせることができ、かつ、広いプロセスマージンを有するレベルシフタを提供できる。

【図面の簡単な説明】

【図1】電圧レベルシフタとして動作し得る、公知の型のインバータの回路図である。

【図2】図1のインバータのスイッチング特性を示すグラフを示す図である。

【図3】電圧レベルシフタとして使用され得る、公知の型のセンス増幅器の回路図である。

【図4】反転された極性および相補デバイスを有する、図3で示した型のセンス増幅器の回路図である。

【図5】電圧レベルシフタとして使用され得る、公知の型のソースフォロワの回路図である。

【図6】本発明の第1の実施形態を構成するレベルシフタの模式的な回路図である。

【図7】本発明の第2の実施例を構成するレベルシフタの回路図である。

【図8】本発明の第3の実施例を構成するレベルシフタの回路図である。

【図9】本発明の第4の実施例を構成するレベルシフタの回路図である。

【図10】本発明の第5の実施例を構成するレベルシフタの回路図である。

【図11】(a)～(d)は、図10に示したレベルシフタのシミュレーションで生じる波形を示す波形図である。

【図12】LCDドライバエレクトロニクスとインターフェースする電圧レベルシフタを有するAMLCDの実施例を示す図である。

【符号の説明】

T1～T9 トランジスタ

M1～M13 トランジスタ

C1 トランジスタ

C2 トランジスタ

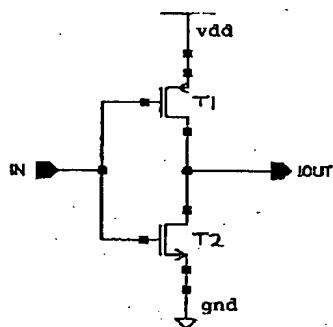
I1 インバータトランジスタ

I2 インバータトランジスタ

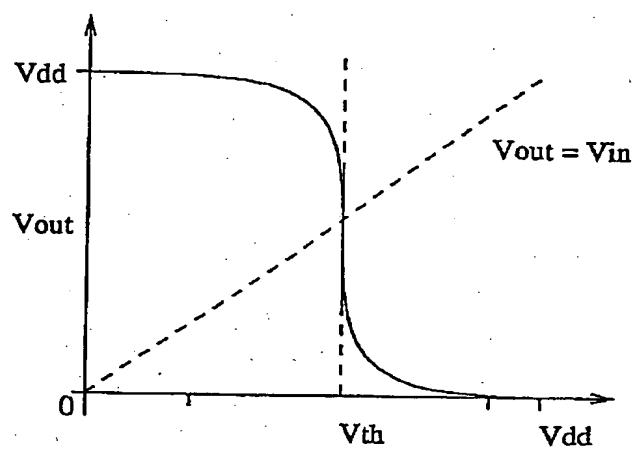
G1 トランジスタ

G2 トランジスタ

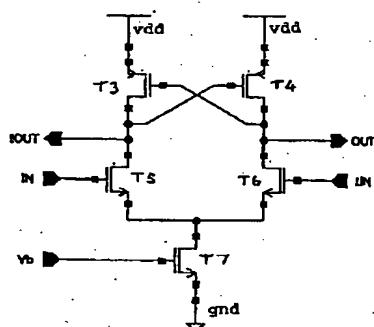
【図1】



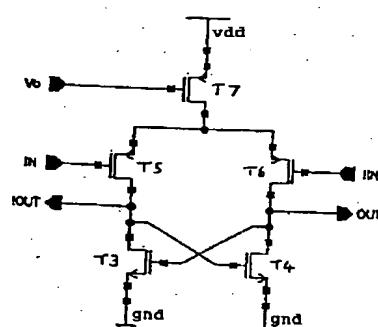
【図2】



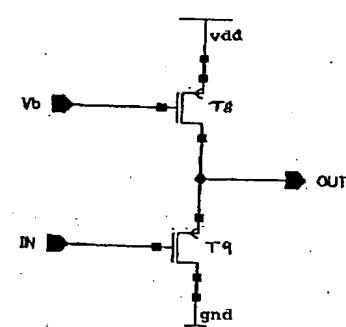
【図3】



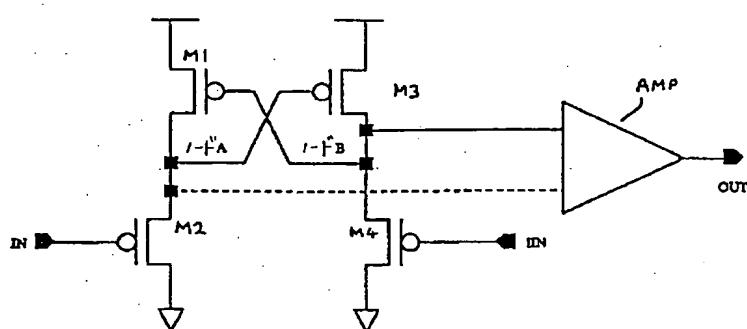
【図4】



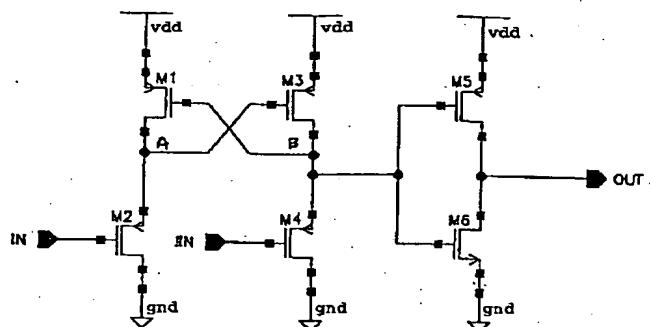
【図5】



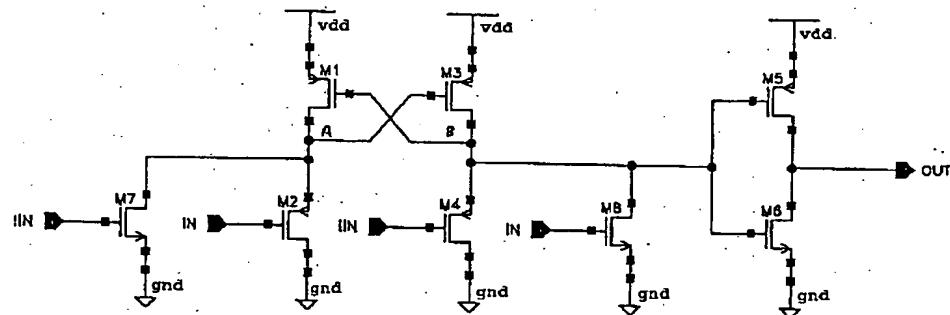
【図6】



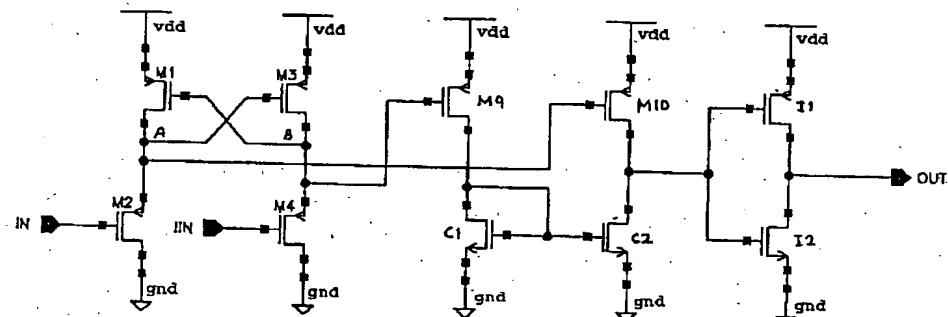
【図7】



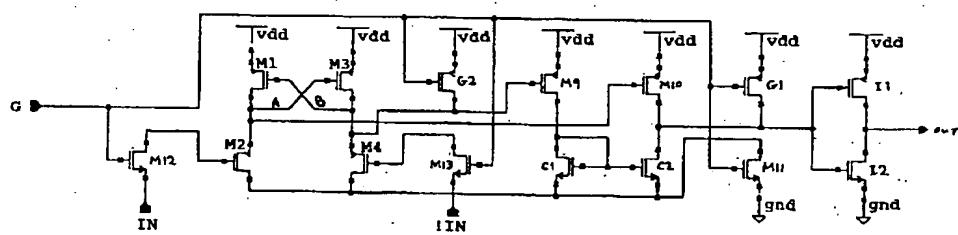
【図8】



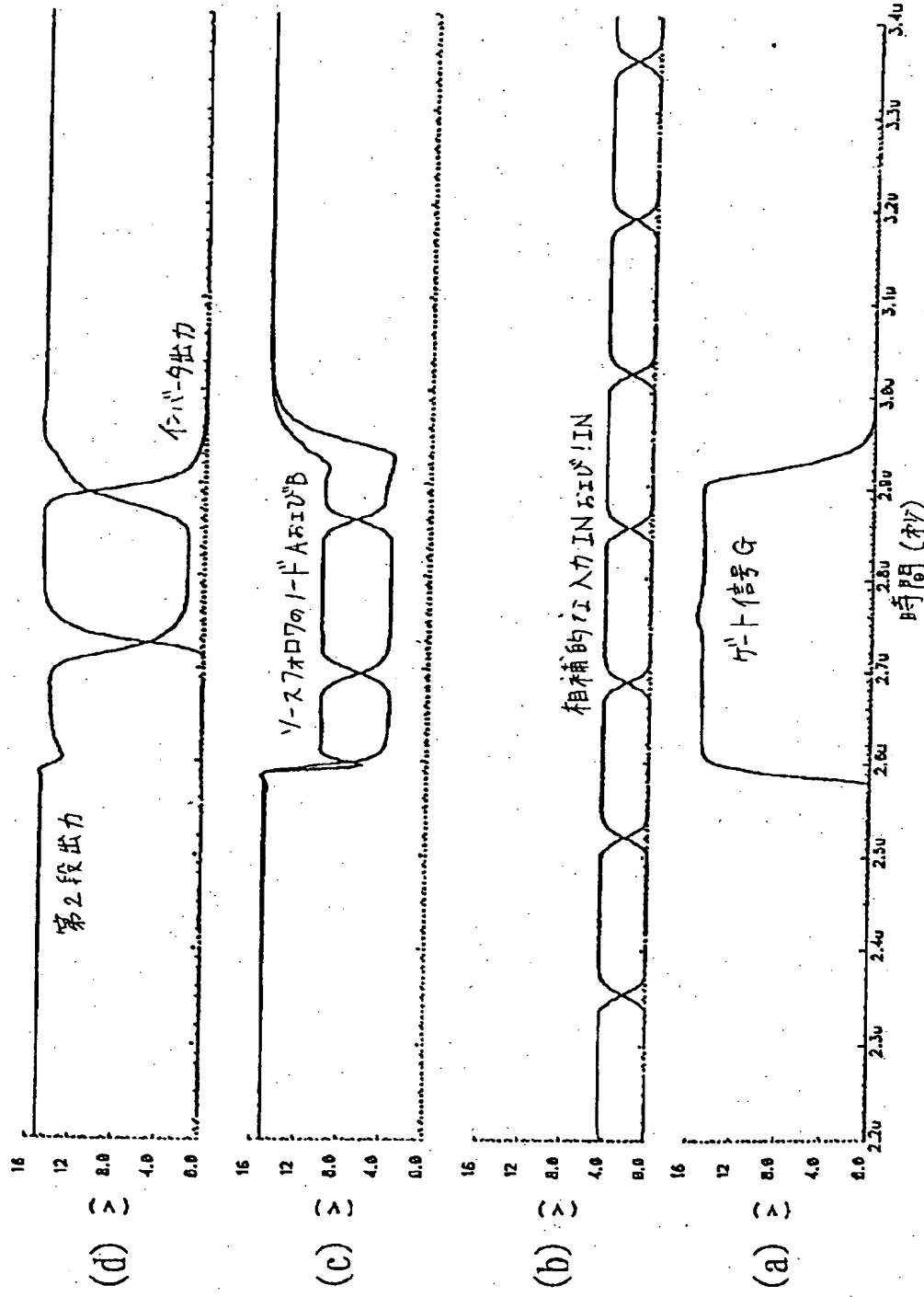
【図9】



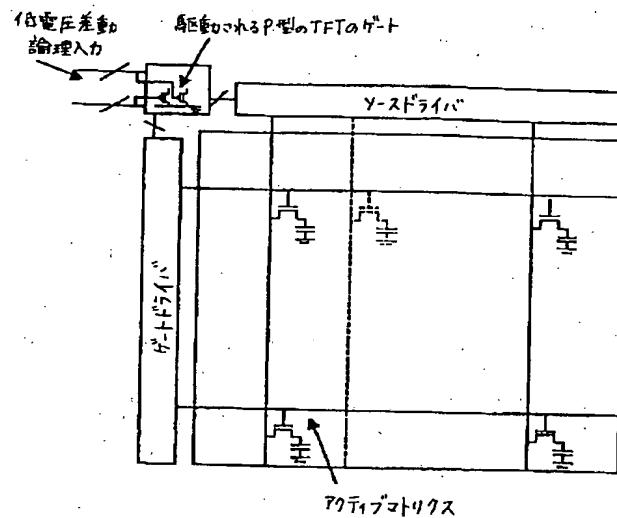
【図10】



【図11】



【図12】



フロントページの続き

(51) Int.C1.7
H 0 4 N 5/66

識別記号
1 0 2

F I
G 0 2 F 1/136

マークド (参考)
5 0 0

(72) 発明者 久保田 靖
奈良県桜井市朝倉台西5-1093-267

(72) 発明者 鶴尾 一
奈良県天理市櫻本町2613-1 シャープ社
宅1棟107号室